



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000207883 A

(43) Date of publication of application: 28 . 07 . 00

(51) Int. Cl.

G11C 11/407
G11C 11/409

(21) Application number: 11007859

(71) Applicant: NEC ENG LTD

(22) Date of filing: 14 . 01 . 99

(72) Inventor: NAGAO YASUSHI

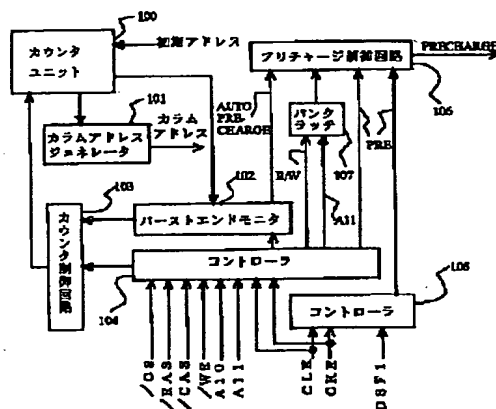
(54) SYNCHRONOUS DRAM

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a synchronous DRAM(dynamic random access memory) that is harder to generate a needless cycle than in a method in which pre-charge operation is performed using an auto-pre-charge and that can shorten the memory cycle time more than in a method performing pre-charge operation using a pre-charge command.

SOLUTION: An exclusive external control signal line DSF1 for performing pre-charge operation is added to this device, a signal is guided to a pre-charge control circuit 106 for controlling pre-charge operation through a controller 105. A bank latch 107 stores tank information at the time of input of a column address read (write)-command, and the information is sent to the pre-charge control circuit. When an external control signal DSF1 is inputted, the controller 105 makes the pre-charge control circuit 106 function, and start of pre-charge operation is required. Thereby, pre-charge can be started at the final of a burst cycle in which judgment for existence of pre-charge is easy.



【特許請求の範囲】

【請求項1】プリチャージ動作を行わせるための専用の外部制御信号線を付加し、コマンドに依らず、該外部制御信号線からの外部制御信号の入力により、強制的にプリチャージを実行できるようにしたことを特徴とするシンクロナスDRAM。

【請求項2】プリチャージ動作部へプリチャージ動作の開始を要求するプリチャージ制御回路と、カラムアドレスリード（ライト）コマンド入力時に当該バンク情報を記憶するバンクラッチと、前記プリチャージ専用の外部制御信号線を介して入力する外部制御信号にตอบสนองして、前記バンクラッチが記憶するバンク情報を前記プリチャージ制御回路へ送出させ、該バンクへのプリチャージを実行させるコントローラとを有することを特徴とする請求項1記載のシンクロナスDRAM。

【請求項3】外部制御信号線を付加し、該信号線を介した外部制御信号が入力すると、所定のカウンタのカウンタ値によって、バーストサイクルを中断させ、またはプリチャージ動作を開始させるようにしたことを特徴とするシンクロナスDRAM。

【請求項4】バーストモードにおける初期アドレスが設定され、クロックに同期して、バースト動作のためのアドレスを生成するためのカウンタ動作を行うカウンタユニットと、

該カウンタユニットを制御するカウンタ制御回路と、プリチャージ動作部へプリチャージ動作の開始を要求するプリチャージ制御回路と、カラムアドレスリード（ライト）コマンド入力時に当該バンク情報を記憶するバンクラッチと、前記外部制御信号をカウントする1ビットのカウンタと、

該カウンタをリセットする機能を有し、カウンタ値によって前記カウンタ制御回路または前記プリチャージ制御回路へ前記外部制御信号を通知して、それぞれの回路を機能させ、またプリチャージ指示のときには前記バンクラッチが記憶するバンク情報を前記プリチャージ制御回路へ送出させるコントローラとを設けたことを特徴とする請求項3記載のシンクロナスDRAM。

【請求項5】請求項1ないし請求項4のいずれかに記載のシンクロナスDRAMを複数個バス接続し、チップセレクト信号によって個別選択することを特徴とするシンクロナスDRAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シンクロナスDRAM（ダイナミック型ランダムアクセスメモリ）に関し、特に、バースト転送に利用して有効なシンクロナスDRAMに関する。

【0002】

【従来の技術】シンクロナスDRAMは、パソコンのメインメモリで現在主流となっているタイプのDRAMであり、システムクロックに同期して動作することを特徴とする。シンクロナスDRAMでは、アドレスの指定をコマンドの形で行うため、読み始めには若干時間がかかるが、その後は内部のパイプラインにより、1クロックにつき1つのデータを読み出すことができる（日経パソコン新語辞典）。

【0003】図8は、この種の一般的なシンクロナスDRAMの一例を示すブロック図であり、特開平8-115593号公報等にも同内容の記載がある。

【0004】このシンクロナスDRAMにおいては、バーストモードでは、ロウデコーダ801Aによって選択された1本のワード線に対して、カラムアドレスカウンタ806によって次々に指定されるアドレスの相補データ線が選択され、指定されただけのバースト数のデータが連続的にリードまたはライトできるようになっている。

【0005】図9は、図8におけるカラムアドレスカウンタ806の構成例を示すブロック図である。図9において、カウンタユニット(COUNTER UNIT)900は、入力される初期アドレスのビット構成に対応したビット数のカウンタを有しており、バーストレングスをカウントするユニットである。

【0006】カラムアドレスジェネレータ(COLUMN ADDRESS GENERATOR)901は、カウンタユニット900の出力に基づいてカラム系の選択をし、バーストエンドモニタ902がカウンタユニット900の出力信号をモニタしてバーストエンドを検出すると、カウンタ制御回路903はカウンタユニット900の動作を制御する。

【0007】また、バーストエンドモニタ902(BURST END MONITOR)は、オートプリチャージが選択されている場合にバーストエンドをプリチャージ動作部（図示省略）へ通知する。コントローラ(CONTROL LOGIC & TIMING GENERATOR)904は、オートプリチャージの有無をバーストエンドモニタ902に通知するとともに、コマンドをカウンタ制御回路903(COUNTER CONTROL LOGIC)に送出する。

【0008】次に、カラムアドレスカウンタ806の動作について説明する。

【0009】図9において、バーストエンドモニタ902には、あらかじめモードレジスタ（コントローラ810に内蔵される。）に設定されたバーストレングスがセットされ、初期カラムアドレスがカウンタユニット(COUNTER UNIT)900とカラムアドレスジェネレータ(COLUMN ADDRESS GENERATOR)901にセットされた後、内部クロック信号ICLKに同期してカウンタユニット900のカウント動作が開始される。

【0010】このカウントの出力はカラムアドレスジェネレータ901に入力され、カラムアドレスを出力する。そして、カウンタユニット900のカウント値をバーストエンドモニタ902でモニタすることにより、バーストエ

ンドを検出し、バーストエンドであればカウンタ制御回路903へ通知し、カウンタユニット900のカウンタを中止させる。

【0011】また、バーストエンドモニタ902は、オートプリチャージが選択されている場合は、バーストエンドをプリチャージ動作部へ送出し、プリチャージ動作を開始させる。

【0012】さらに、バーストレングスがフルページの場合は、バーストエンドが発生しないため、バーストストップ・イン・フルページコマンドをコントローラ904に入力することにより、同様にカウンタユニット900のカウンタを中止できる。

【0013】ところで、シンクロナスDRAMのリードコマンドの一つに、カラムアドレス・リード・ウィズ・オートプリチャージコマンドがある。このコマンドは、リード動作の一態様としてモードレジスタにバーストリードが設定されている場合に、リードコマンドが入力すると、所定のアドレス入力端子A10上のアドレス信号の値によって、オートプリチャージが選択されるというものである。

【0014】このカラムアドレス・リード・ウィズ・オートプリチャージコマンドでオートプリチャージを選択し、バーストモードのバーストレングスを4に設定した場合のタイミングを図10に示す。

【0015】図10において、バンク(BANK)0に対するバーストリード動作を開始するためのカラムアドレス・リードコマンドが入力され、同時にアドレス入力端子A10にハイレベルが入力されていることでオートプリチャージが選択され、4回のバーストモードサイクルの終了後、自動的にプリチャージ動作が開始されている。このプリチャージ動作は、コマンドの入力を必要としないため、バンク0のバーストモードサイクル終了直後に、次のバンク1に対するカラムアドレス・リードコマンドの入力が可能であり、連続したリードデータ出力が可能になる。

【0016】

【発明が解決しようとする課題】上述のように、オートプリチャージはプリチャージコマンドの入力の必要がなく、メモリサイクル時間の短縮に有効であるが、上述した従来のシンクロナスDRAMでは、オートプリチャージを行う設定をバーストサイクルの最初のカラムアドレス・リード/ライトコマンドで行う必要がある。

【0017】そのため、現在実行中のバーストサイクルの次のサイクルに対してプリチャージが必要であるかどうかの予測が困難であるので、オートプリチャージを使用しないプリチャージコマンドを入力したり、または不必要なオートプリチャージにより、メモリサイクルを必要以上に長くしてしまうことがあるという問題がある。

【0018】図11は、バーストモードのバーストレングスを4に設定した場合において、バンク0に対するバ

ーストリードサイクル中に、バンク0のサイクルよりも優先度の高い割り込みサイクルがバンク1に対して行われた場合のタイミングチャートを示している。

【0019】図11において、バンク0に対するロウアドレスストロブ・バンクアクティブコマンド(ACT)の入力後、コマンド入力可能な時間を経てカラムアドレス・リードコマンドReadを入力している。この図では、カラムアドレス・リードコマンドReadの入力時に、アドレス入力端子A10をロウレベルに維持してオートプリチャージを実行しない設定にしているため、バーストサイクルの終了後にプリチャージコマンドPREを入力する必要がある。しかし、バンク1に対しての割り込みサイクルのカラムアドレス・リードコマンドReadと衝突してしまうため、バンク0のサイクルが遅れてしまう様子を示している。

【0020】この図11のようなサイクルは、特にディスプレイ表示システムなどに使用される画像メモリへのアクセスに多く見られ、バンク0に対するサイクルのようにロウアドレスを変更するサイクルが多く発生し、バンク1に対する優先度の高い割り込みサイクルはディスプレイに表示するためのリード動作として多く発生する。

【0021】また、画像メモリへのアクセスサイクルは、不規則なサイクルが多く発生するため、サイクルの最初に入力の必要なオートプリチャージは、サイクル時間の短縮に効果がないのが現状である。

【0022】したがって、本発明の目的は、シンクロナスDRAMを制御するシステムにおいて、メモリサイクル時間を短縮することによって、メモリアクセス効率の向上を図ったシンクロナスDRAMを提供することにある。

【0023】

【課題を解決するための手段】第1の本発明のシンクロナスDRAMは、プリチャージ動作を行わせるための専用の外部制御信号線を付加し、コマンドに依らず、該外部制御信号線からの外部制御信号の入力により、強制的にプリチャージを実行できるようにしたことを特徴とする。

【0024】また、第2の本発明のシンクロナスDRAMは、外部制御信号線を付加し、該信号線を介した外部制御信号が入力すると、所定のカウンタのカウント値によって、バーストサイクルを中断させ、またはプリチャージ動作を開始させるようにしたことを特徴とする。

【0025】さらに、本発明の好ましい実施の形態は、プリチャージ動作部へプリチャージ動作の開始を要求するプリチャージ制御回路と、カラムアドレスリード(ライト)コマンド入力時に当該バンク情報を記憶するバンクラッチと、前記プリチャージ専用の外部制御信号線を介して入力する外部制御信号に応答して、前記バンクラッチが記憶するバンク情報を前記プリチャージ制御回路

10

20

30

40

50

へ送出させ、該バンクへのプリチャージを実行させるコントローラとを有することを特徴とする。

【0026】さらに、本発明の好ましい実施の形態は、バーストモードにおける初期アドレスが設定され、クロックに同期して、バースト動作のためのアドレスを生成するためのカウント動作を行うカウンタユニットと、該カウンタユニットを制御するカウンタ制御回路と、プリチャージ動作部へプリチャージ動作の開始を要求するプリチャージ制御回路と、カラムアドレスリード(ライト)コマンド入力時に当該バンク情報を記憶する

バンクラッチと、前記外部制御信号をカウントする1ビットのカウントと、該カウンタをリセットする機能を有し、カウント値によって前記カウンタ制御回路または前記プリチャージ制御回路へ前記外部制御信号を通知して、それぞれの回路を機能させ、またプリチャージ指示のときには前記バンクラッチが記憶するバンク情報を前記プリチャージ制御回路へ送出させるコントローラとを設けたことを特徴とする。

【0027】本発明は、プリチャージ動作を行わせるための信号線1本をシンクロナスDRAMに付加し、プリチャージ動作を制御するための回路に接続する機構を持つことにより、他のコマンド入力と同時にプリチャージ動作を開始することができ、メモリサイクル時間を短縮することを可能とする。

【0028】特に、オートプリチャージはプリチャージコマンドの入力の必要がなく、メモリサイクル時間の短縮に有効であるが、オートプリチャージを行う設定をバーストサイクルの最初のカラムアドレス・リード/ライトコマンドで行う必要があるため、現実行中のバーストサイクルの次のサイクルに対してプリチャージが必要であるかどうかの予測が困難であり、従来は、オートプリチャージを使用しないプリチャージコマンドを入力したり、または不必要なオートプリチャージを行ったりして、メモリサイクルを必要以上に長くしてしまう問題がある。

【0029】本発明では、プリチャージ動作を行わせるための信号線1本をシンクロナスDRAMに付加し、プリチャージ動作を制御するための回路に接続する機構を採用ことにより、プリチャージの有無の判断が容易であるバーストサイクル最後にプリチャージ動作を起動でき、また、他のコマンド入力と同時にプリチャージ動作を開始することができるため、メモリサイクル時間を短縮することができるようになった。

【0030】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0031】まず、シンクロナスDRAMについて述べ、その後、本発明の特徴部分となるカラムアドレスカウンタについて詳述する。

【0032】図8には、一般的なシンクロナスDRAM

の一例の概略ブロック図が示されている。このシンクロナスDRAMは、メモリバンク(MEMORY BANK)0を構成するメモリアレイ(MEMORY ARRAY)800Aと、メモリバンク1を構成するメモリアレイ800Bとを備える。上記それぞれのメモリアレイ800A、800Bは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば、同一列に配置されたメモリセルの選択端子は列毎のワード線(図示せず)に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線(図示せず)に結合される。

【0033】センスアンプ・カラム選択回路802Aにおけるセンスアンプ(SENSE AMPLIFIER)は、メモリセルからのデータ読出しによって各々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。また、センスアンプ・カラム選択回路802Aにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線(I/O BUS)に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ(COLUMN DECODER)803Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0034】メモリアレイ800B側にも上記と同様にロウデコーダ801B、センスアンプ・カラム選択回路802B及びカラムデコーダ803Bが設けられる。上記メモリバンク800Aと800Bの相補共通データ線(I/O BUS)は、入力バッファ(INPUT BUFFER)808の出力端子及び出力バッファ(OUTPUT BUFFER)809の入力端子に接続される。入力バッファ808の入力端子及び出力バッファ809の出力端子は8ビットのデータ入出力端子I/O0~I/O7に接続される。

【0035】また、アドレス入力端子A0~A11から供給されるロウアドレス信号とカラムアドレス信号を保持するためのカラムアドレスバッファ(COLUMN ADDRESS BUFFER)805とロウアドレスバッファ(ROW ADDRESS BUFFER)804を備え、さらに、ダイナミックメモリセルをリフレッシュするためのリフレッシュカウンタ(REFRESH COUNTER)807を備える。

【0036】リフレッシュカウンタ807は、そこから出力されるリフレッシュアドレス信号をロウアドレス信号として取り込むため、ロウアドレスバッファ804に接続され、ロウアドレスバッファ804は前述のロウデコーダ801A、801Bに接続される。カラムアドレスバッファ805の出力はカラムアドレスカウンタ(COLUMN ADDRESS COUNTER)806に供給され、カラムデコーダ803A、803Bに向けて出力する。

【0037】コントローラ(CONTROL LOGIC & TIMING GENERATOR)810には、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS、ロウアドレスストローブ信号/RAS、ライトイネーブル信号/WE、データ入出力マスクコントロール信号DQMなどの外部制御

信号と、アドレス入力端子A0～A11からの制御データ及び基準電圧Vref とが供給される。そして、それらの信号のレベルの変化やタイミングなどに基づいて、シンクロナスDRAMの動作モード及び上記各回路ブロックの動作を制御するための内部タイミング信号を形成し、そのためのコントロールロジックとモードレジスタを備える。

【0038】次に、このシンクロナスDRAMの動作について説明する。

【0039】アドレス入力端子A0～A11から供給されるロウアドレス信号とカラムアドレス信号は、カラムアドレスバッファ805とロウアドレスバッファ804にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファ805と804が保持する。

【0040】ロウアドレスバッファ804は、リフレッシュ動作モードにおいては、リフレッシュカウンタ 807から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ805の出力は、カラムアドレスカウンタ806のプリセットデータとして供給され、カラムアドレスカウンタ806は、後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコード803A, 803Bに向けて出力する。

【0041】ロウデコード801A, 801Bによるロウアドレス信号のデコード結果に従って1本のワード線が選択レベルに駆動される。メモリアレイ800A, 800Bの図示しない相補データ線は、センスアンプ・カラム選択回路802A, 802Bに結合され、センスアンプ・カラム選択回路802A, 802Bにおけるセンスアンプは、メモリセルからのデータ読出しによって各々の相補データ線に現れる微小電位差を検出して増幅し、カラムスイッチ回路がカラムデコード803A, 803Bによるカラムアドレス信号のデコード結果に従って相補データ線を各別に選択して相補共通データ線(I/O BUS)に導通させ、データのリード、及びライトを行う。

【0042】上記ロウアドレス信号は、内部クロック信号CLKの立ち上がりエッジに同期する後述のロウアドレスストロブ・バンクアクティブコマンドサイクルにおけるアドレス入力端子A0～A11のレベルによって定義される。アドレス入力端子A11からの入力、上記ロウアドレスストロブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。

【0043】即ち、アドレス入力端子A11の入力がロウレベルの時、メモリアレイ800A(バンク0)が選択され、ハイレベルの時はメモリアレイ800B(バンク1)が選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコードのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ808及び

出力バッファ809への接続などの処理によって行うことができる。

【0044】一方、上記カラムアドレス信号は、内部クロック信号CLKの立ち上がりエッジに同期するリード又はライトコマンド(後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド)サイクルにおけるアドレス入力端子A0～A8のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0045】クロック信号CLKは、シンクロナスDRAMのマスタクロックとされ、その他の外部入力信号は、当該内部クロック信号CLKの立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSは、そのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき(チップ非選択状態)やその他の入力は意味を持たない。

【0046】クロックイネーブル信号CKEは、次のクロック信号CLKの有効性を指示する信号であり、クロックイネーブル信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないが、リードモードにおいて、出力バッファ809に対するアウトプットイネーブルの制御を行う外部制御信号もコントローラ810に供給され、その信号が例えばハイレベルのときには出力バッファ809は高出カインピーダンス状態にされる。

【0047】後述のプリチャージコマンドサイクルにおけるアドレス入力端子A10の入力は、相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、アドレス入力端子A11で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。

【0048】次に、コマンドによって指示されるこのシンクロナスDRAMの主な動作モードについて説明する。

【0049】(1) モードレジスタセットコマンド(MOD)

モードレジスタをセットするためのコマンドであり、/CS, /RAS, /CAS, /WE=ロウレベルによって当該コマンド指定され、セットすべきデータ(レジスタセットデータ)はアドレス入力端子A0～A11を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレンジ、CASレイテンシイ、ライトモードなどとされる。また、設定可能なバーストレンジは、1, 2, 4, 8, フルページとされ、設定可能なCASレイテンシイは1, 2, 3とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【0050】上記CASレイテンシは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において／CASの立ち下がりから出力バッファ809の出力動作までに内部クロック信号ICLKの何サイクル分を費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされるが、それを内部クロック信号ICLKの使用周波数に応じて設定するためのものである。

【0051】換言すれば、周波数の高い内部クロック信号ICLKを用いる場合にはCASレイテンシを相対的に大きな値に設定し、周波数の低い内部クロック信号ICLKを用いる場合にはCASレイテンシを相対的に小さな値に設定する。特に制限されないが、後述するような画像処理動作において、必要ならばワード線の切り換え時間を確保するために、CASレイテンシを大きな値に設定するようを用いるようにできる。

【0052】(2) ロウアドレスストロープ・バンクアクティブコマンド (ACT)

これは、ロウアドレスストロープの指示とアドレス入力端子A11によるメモリバンクの選択を有効にするコマンドであり、／CS、／RAS=ロウレベル、／CAS、／WE=ハイレベルによって指示され、このときアドレス入力端子A0～A10に供給されるアドレスがロウアドレス信号として、アドレス入力端子A11に供給される信号がメモリバンクの選択信号として取り込まれる。

【0053】取り込み動作は、上述のように内部クロック信号ICLKの立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

【0054】(3) カラムアドレス・リードコマンド (Read)

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストロープの指示を与えるコマンドであり、／CS、／CAS=ロウレベル、／RAS、／WE=ハイレベルによって指示され、このときアドレス入力端子A0～A8に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号は、バーストスタートアドレスとしてカラムアドレスカウンタ806に供給される。

【0055】これによって指示されたバーストリード動作においては、その前にロウアドレスストロープ・バンクアクティブコマンドサイクルでメモリバンクと、それにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号ICLKに同期してカラムアドレスカウンタ806から出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は、上記バーストレンジに

よって指定された個数とされる。また、出力バッファ809からのデータ読出し開始は上記CASレイテンシで規定される内部クロック信号ICLKのサイクル数を待って行われる。

【0056】(4) カラムアドレス・ライトコマンド (Write)

ライト動作の態様として、モードレジスタにバーストライトが設定されているときは、当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタにシングルライトが設定されているときは、当該シングルライト動作を開始するために必要なコマンドとされる。

【0057】更に、当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストロープの指示を与える。当該コマンドは、／CS、／CAS、／WE=ロウレベル、／RAS=ハイレベルによって指示され、このときアドレス入力端子A0～A8に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号は、バーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ806に供給される。

【0058】これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0059】(5) カラムアドレス・リード・ウィズ・オートプリチャージコマンド (RP)

リード動作の態様としてモードレジスタにバーストリードが設定されている場合には、カラムアドレス・リードコマンド入力時に、アドレス入力端子A10はオートプリチャージを選択するかどうかの決定に使用される。カラムアドレス・リードコマンドの入力時にアドレス入力端子A10がハイレベルであると、オートプリチャージが選択され、CASレイテンシが2に設定されている場合は最後に出力されるバーストデータの1クロック前で、自動的にプリチャージが開始され、CASレイテンシが3に設定されている場合は最後に出力されるバーストデータの2クロック前で、自動的にプリチャージが開始される。

【0060】(6) カラムアドレス・ライト・ウィズ・オートプリチャージコマンド (WP)

ライト動作の態様としてモードレジスタにバーストライトが設定されている場合には、カラムアドレス・ライトコマンド入力時に、アドレス入力端子A10はオートプリチャージを選択するかどうかの決定に使用される。カラムアドレス・ライトコマンドの入力時にアドレス入力端子A10がハイレベルであると、オートプリチャージが選択され、最後のデータが入力されてから1クロック後に自動的にプリチャージが開始される。

【0061】(7) プリチャージコマンド (PRE)
これは、アドレス入力端子A10,A11によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、/CS、/RAS、/WE=ロウレベル、/CAS=ハイレベルによって指示される。

【0062】(8) オートリフレッシュコマンド
このコマンドは、オートリフレッシュを開始するために必要とされるコマンドであり、/CS、/RAS、/CAS=ロウレベル、/WE、CKE=ハイレベルによって指示される。

【0063】(9) バーストストップ・イン・フルページコマンド (BST)
フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、/CS、/WE=ロウレベル、/RAS、/CAS=ハイレベルによって指示される。

【0064】(10) ノーオペレーションコマンド (NOP)
これは、実質的な動作を行わないこと指示するコマンドであり、/CS=ロウレベル、/RAS、/CAS、/WEのハイレベルによって指示される。

【0065】ここで、シンクロナスDRAMの特徴について言及しておく。シンクロナスDRAMにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドACTが供給されると、上記実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。

【0066】例えば、シンクロナスDRAMは、外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線1本分のデータがカラム系動作の前に、予め読み出し動作のために、図示しないラッチ回路にラッチされるようになっている。

【0067】したがって、データ入出力端子I/O0~I/O7においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンドPRE、ロウアドレスストローブ・バンクアクティブコマンドACTを発行して、内部動作を予め開始させることが可能である。

【0068】シンクロナスDRAMは、外部クロック信号CLKに基づいて形成される内部クロック信号ICKに同期してデータ、アドレス又は/RAS、/CAS等の各種制御信号を入出力可能なメモリであると定義で

きる。また、シンクロナスDRAMは、DRAMと同様の大容量メモリをSRAM (スタティック型RAM) に匹敵する高速動作させることが可能であり、また、選択された1本のワード線に対して幾つかのデータをアクセスするかをバーストレングスによって指定することによって、内蔵するカラムアドレスカウンタ806で順次カラム系の選択状態を切り換えていって複数個のデータを連続的にリード又はライトできる。

【0069】次に、図8のシンクロナスDRAMにおいて使用されているカラムアドレスカウンタ806として好適な、本発明者によって提案中のカラムアドレスカウンタについて説明する。

【0070】図5は、このアドレスカウンタのブロック図である。図5において、カウンタユニット500は、入力される初期アドレスのビット構成に対応したビット数のカウンタを有しており、これはバーストレングスをカウントするユニットである。カウンタユニット500の出力に基づいてカラム系選択をするためのカラムアドレスジェネレータ501が設けられ、そして、カウンタユニットの出力信号をモニタしてバーストエンドを検出する目的と、オートプリチャージが選択されている場合にバーストエンドをプリチャージ動作部に通知するためのバーストエンドモニタ502や、このバーストエンド検出結果に基づいて上記カウンタユニット500の動作を制御するためのカウンタ制御回路503を有する。

【0071】また、オートプリチャージの有無をバーストエンドモニタ502に通知するためと、コマンドをカウンタ制御回路503に送出するために、双方に接続されるコントローラ504に加え、バーストを中止させるための専用の信号線(DSF1)を入力するコントローラ(CONTROL LOGIC & TIMING GENERATOR)505を有する。

【0072】次に、このカラムアドレスカウンタの動作について説明する。

【0073】図5において、バーストエンドモニタ502には、あらかじめモードレジスタに設定されたバーストレングスがセットされ、初期カラムアドレスがカウンタユニット500とカラムアドレスジェネレータ501にセットされた後、内部クロック信号ICKに同期してカウンタユニット500のカウント動作が開始される。このカウントの出力はカラムアドレスジェネレータ501に入力され、カラムアドレスを出力する。

【0074】そして、カウンタユニット500のカウント値をバーストエンドモニタ502でモニタすることにより、バーストエンドを検出し、バーストエンドであればカウンタ制御回路503へ通知し、カウンタユニット500のカウントを中止させるとともに、オートプリチャージが選択されている場合は、バーストエンドをプリチャージ動作部へ送出し、プリチャージ動作を開始させる。

【0075】また、バーストレングスがフルページの場合は、バーストエンドが発生しないため、バースト

ップ・イン・フルページコマンドBSTをコントローラ504に入力することにより、同様にカウンタユニット500のカウンタを中止できる。

【0076】また、本発明の特徴は、バーストを中止させるための専用の信号線(DSF1)をコントローラ505へアクティブ入力することによってバーストサイクルは中止することにある。

【0077】チップセレクト信号を使用してシンクロナスDRAMを複数個制御するシステムにおいて、上記DSF1信号をコントローラ505へアクティブ入力して、バーストサイクルを中断した場合のタイミングを図6に示す。

【0078】図6において、チップセレクト信号/CS0およびチップセレクト信号/CS0と関連するDSF1、コマンド(CS0)は、複数のシンクロナスDRAMの一方の制御信号であり、チップセレクト信号/CS1およびチップセレクト信号/CS1と関連するDSF1(CS0)、コマンド(CS0)は、他方の制御信号である。

【0079】コマンド(CS0)のReadは、前述のカラムアドレス・リードコマンドであり、同時にDSF1信号をアクティブにすることでバーストサイクルを中断し、次のクロックでコマンド(CS1)のカラムアドレス・リードコマンドReadを入力できる。

【0080】次に、プリチャージコマンドPREを入力する場合のタイミングを図7に示す。図7において、バーストモード使用時にカラムアドレス・リードコマンドReadとA10のハイレベルを同時入力し、カラムアドレス・リード・ウィズ・オートプリチャージコマンドRPを設定しているが、DSF1信号入力によってバーストカウンタを中止したため、オートプリチャージを実行できず、代わりにプリチャージコマンドPREを入力している。

【0081】しかし、このCS0に対するプリチャージコマンドPREの入力のため、CS1に対するカラムアドレス・リードコマンドReadの入力が遅れていることがわかる。

【0082】図7において、プリチャージコマンド入力によるメモリスサイクルの遅延は明確であり、他のチップセレクト信号に接続されているシンクロナスDRAMへのアクセス切り換えが多ければ多いほどプリチャージコマンドPREのオーバーヘッドが増加する。

【0083】このように、この発明では、バーストモード使用時にカラムアドレス・リード・ウィズ・オートプリチャージRPを入力しても、DSF1信号入力によってバーストカウンタを中止のすると、オートプリチャージを実行できず、代わりにプリチャージコマンドPREを入力しなければならない。これでは、プリチャージコマンドPREの入力と他のコマンドの入力との衝突を避けなければならないため、メモリスサイクル時間が長くなってしまいうという問題がある。

【0084】このような問題を解決するためになされた

のが本発明であり、その第1実施例のカラムアドレスカウンタの構成を図1に示す。

【0085】図1において、カウンタユニット100は、入力される初期アドレスのビット構成に対応したビット数のカウンタを有しており、これはバーストレングスをカウントするユニットである。カラムアドレスジェネレータ101は、カウンタユニット100の出力に基づいてカラム系選択をし、バーストエンドモニタ102は、カウンタユニット100の出力信号をモニタしてバーストエンドを検出し、カウンタ制御回路103は、このバーストエンド検出結果に基づいて上記カウンタユニット100の動作を制御する。コントローラ104は、カウンタ制御回路103にコマンドを送出する。

【0086】また、プリチャージ制御回路(PRECHARGE CONTROL LOGIC)106は、プリチャージ動作部(図示省略)にバンク情報を含むプリチャージ開始信号(PRECHARGE)を送出し、ロウアドレスバッファ804にプリチャージ終了信号(PRECHARGE TERMINATION)を送出する。そして、オートプリチャージの開始を通知するバーストエンド検出結果を入力するために、バーストエンドモニタ102と接続され、ロウアドレスストロブ・バンクアクティブコマンドACT、カラムアドレス・リードコマンドReadまたはカラムアドレスライトコマンドWriteを入力するためにコントローラ104と接続される。

【0087】さらに、カラムアドレス・リードコマンドReadまたはカラムアドレスライトコマンドWrite入力時のバンク情報を記憶するためのバンクラッチ回路(BANK LATCH)107と、プリチャージ動作をさせるための専用の信号線(DSF1)を入力するためのコントローラ(CONTROL LOGIC & TIMING GENERATOR)105とが設けられ、それぞれがプリチャージ制御回路106と接続される。

【0088】次に、図1に示したカラムアドレスカウンタ(図8の806)の動作について説明する。

【0089】図1において、バーストエンドモニタ102には、あらかじめモードレジスタに設定されたバーストレングスがセットされ、カウンタユニット100とカラムアドレスジェネレータ101には、初期カラムアドレスがセットされる。その後、カウンタユニット100のカウント動作が、内部クロック信号ICKに同期して開始される。

【0090】このカウンタユニット100の出力はカラムアドレスジェネレータ101に入力され、カラムアドレスを出力する。そして、カウンタユニット100のカウント値をバーストエンドモニタ102でモニタすることにより、バーストエンドを検出し、バーストエンドであればカウンタ制御回路103へ通知し、カウンタユニット100のカウントを中止させる。

【0091】バーストレングスがフルページの場合は、バーストエンドが発生しないため、バーストストップ・イン・フルページコマンドBSTをコントローラ104に入力

することにより、同様にカウンタユニット100のカウンタを中止できる。

【0092】また、コントローラ104はカラムアドレス・リード・ウィズ・オートプリチャージコマンドRPまたはカラムアドレス・ライト・ウィズ・オートプリチャージコマンドWPを認識したならば、バーストエンドモニタ102へ通知し、バーストエンドモニタ102はバーストエンドを検出すると、プリチャージ制御回路106へ通知し、プリチャージ制御回路106はプリチャージ動作部へプリチャージ動作の開始の要求をする。

【0093】バンクラッチ回路107は、コントローラ104から、カラムアドレス・リードコマンドReadまたはカラムアドレス・リードコマンドWriteとA11を入力し、これらのコマンド入力時のバンク情報を記憶する。そのバンク情報は、プリチャージ制御回路106へ送出され、コントローラ105に入力されたDSF1信号がアクティブになった時に、バンク情報に基づいて該当するバンクへのプリチャージ要求をプリチャージ動作部へ送出する。このDSF1信号によるプリチャージ動作は、オートプリチャージ動作よりも優先され、オートプリチャージ動作の前か同時に入力された場合は、オートプリチャージ動作はキャンセルされる。

【0094】図2は、バーストモードのバーストレングスを4に設定した場合において、プリチャージ動作を開始させるための専用線(DSF1)をアクティブにした時のタイミングチャートを示している。また、図2は図11と同様にバンク0に対するバーストリードサイクル中に、バンク0のサイクルよりも優先度の高い割り込みサイクルがバンク1に対して行われた場合のタイミングを示している。

【0095】図11においては、バンク0に対するロウアドレスストローブ・バンクアクティブコマンドFACTの入力後、コマンド入力可能な時間を経てカラムアドレス・リードコマンドReadを入力しているが、カラムアドレス・リードコマンドReadの入力時に、A10をロウレベルに維持してオートプリチャージを実行しない設定にしているため、バーストサイクルの終了後にプリチャージコマンドPREを入力する必要があった。

【0096】そこで、本発明では、DSF1をアクティブにすることで、図1のバンクラッチ回路107に記憶されたバンク情報であるバンク0(DSF1と同時に入力のバンク情報は次のDSF1入力時に使用される)を対象にプリチャージを行うことにした。これにより、図2に示すように、DSF1をアクティブ(ハイレベル)にした時点でバンク0に対するプリチャージが行われ、バンク1へのカラムアドレス・リードコマンドReadの同時入力が可能になるため、バンク0のサイクル時間を短縮することができるのである。

【0097】次に、本発明のカラムアドレスカウンタの第2実施例について説明する。

【0098】図3は、本発明の第2実施例のカラムアドレスカウンタの構成を示すブロック図である。

【0099】図3において、カウンタユニット300は、入力される初期アドレスのビット構成に対応したビット数のカウンタを有しており、これはバーストレングスをカウントするユニットである。カラムアドレスジェネレータ301はカウンタユニット300の出力に基づいてカラム系選択をし、バーストエンドモニタ302はカウンタユニット300の出力信号をモニタしてバーストエンドを検出し、カウンタ制御回路303はこのバーストエンド検出結果に基づいて上記カウンタユニット300の動作を制御する。コントローラ304はカウンタ制御回路303にコマンドを送出する。

【0100】また、カウンタ制御回路303に接続されるコントローラ304に加え、バーストサイクルを中止させるための目的とプリチャージ動作を行わせる目的を兼ねた専用の信号線(DSF1)を入力するコントローラ305と、コントローラ305から出力されるバーストストップ要求とプリチャージ動作要求をカウントするための1ビットカウンタであるDSF1カウンタ(DSF1 COUNTER)308とを設けている。

【0101】DSF1カウンタ308のカウント値は、コントローラ304からの信号によってリセットされ、DSF1カウンタ308のカウント出力は、カウンタ値が“0”の場合にカウンタ制御回路303へ通知され、カウンタ値が“1”の場合はプリチャージ制御回路306に通知される。

【0102】プリチャージ制御回路306は、プリチャージ動作部にバンク情報を含むプリチャージ開始信号を送出する制御回路であり、オートプリチャージの開始を通知するバーストエンド検出結果を入力するためにバーストエンドモニタ302と接続され、プリチャージコマンドPREを入力するためにコントローラ304と接続される。

【0103】また、バンクラッチ回路307はカラムアドレス・リードコマンドReadまたはカラムアドレス・ライトコマンドWrite入力時のバンク情報を記憶するためのものであり、プリチャージ制御回路306と接続される。

【0104】次に、本第2実施例の動作について説明する。

【0105】図3において、バーストエンドモニタ302には、あらかじめモードレジスタに設定されたバーストレングスがセットされ、初期カラムアドレスがカウンタユニット300とカラムアドレスジェネレータ301にセットされた後、内部クロック信号ICKに同期してカウンタユニット300のカウント動作が開始される。このカウンタの出力はカラムアドレスジェネレータ301に入力され、カラムアドレスを出力する。

【0106】そして、カウンタユニット300のカウント値をバーストエンドモニタ302でモニタすることによ

り、バーストエンドを検出し、バーストエンドであればカウンタ制御回路303へ通知し、カウンタユニット300のカウンタを中止させる。バーストレンジがフルページの場合は、バーストエンドが発生しないため、バーストストップ・イン・フルページコマンドをコントローラ304に入力することにより、同様にカウンタユニット300のカウンタを中止する。

【0107】また、本第2実施例の特徴であるDSF1カウンタ308の初期値は“0”であり、カウンタ値が“0”の場合は、コントローラ305に対するDSF1信号の入力をバーストストップ要求と見做し、DSF1カウンタ308をカウンタアップしてカウンタ値を“1”にした後、カウンタ制御回路303へカウンタ中止の要求を通知する。この要求により、カウンタ制御回路303は、カウンタユニット300のカウンタ中止の制御を行い、バーストサイクルはストップされる。

【0108】また、DSF1カウンタ308のカウンタ値が“1”の時に、コントローラ305がDSF1信号を受け付けたならば、DSF1信号の入力をプリチャージ動作要求と見なし、DSF1カウンタ308をカウンタアップしてカウンタ値を“0”にした後、プリチャージ制御回路306へプリチャージ動作要求を送出し、プリチャージ制御回路306はバンク情報を含むプリチャージ動作の要求PRECHARGEをプリチャージ動作部へ送出する。

【0109】このバンク情報は、バンクラッチ回路307が、コントローラ304から、カラムアドレス・リードコマンドReadまたはカラムアドレス・ライトコマンドWriteと共にA11を入力して記憶される。そして、前述のDSF1カウンタ308から送出されたプリチャージ動作要求と共にプリチャージ制御回路306へ入力され、プリチャージ制御回路306はバンク情報に基づいて該当するバンクへのプリチャージ要求PRECHARGEをプリチャージ動作部へ送出する。

【0110】DSF1カウンタ308のカウンタ値は、カラムアドレス・リードコマンドRead、またはカラムアドレス・ライトコマンドWriteが入力された場合、コントローラ304から送出される信号で初期値になる。また、コントローラ304がカラムアドレス・リード/ライト・ウィズ・オートプリチャージコマンドRPを認識した後、全くDSF1のアクティブ入力が無い時は、バーストエンドモニタ302へ通知し、バーストエンドであればプリチャージ制御回路306へ通知し、プリチャージ制御回路306はプリチャージ動作部へプリチャージ動作の開始の要求をする。

【0111】次に、本実施例の動作についてタイミングチャートを使用して説明する。

【0112】図4は、チップセレクト信号を使用してシンクロナスDRAMを複数個制御するシステムにおいて、上記DSF1信号をコントローラ305へ2クロックの間だけアクティブ入力して、最初のアクティブ入力

(1クロック目)でバーストサイクルを中断し、次のアクティブ入力(2クロック目)でプリチャージ動作をした場合のタイミングチャートである。

【0113】図4において、チップセレクト信号/CS0およびチップセレクト信号/CS0と関連するDSF1(CS0)、コマンド(CS0)、A10(CS0)は、複数のシンクロナスDRAMの一方の制御信号であり、チップセレクト信号およびチップセレクト信号/CS1と関連するDSF1(CS1)、コマンド(CS1)、A10(CS1)は、他方の制御信号である。

【0114】CS0に対して、カラムアドレス・リードコマンドreadとA10のハイレベルを同時入力することにより、オートプリチャージが選択されたバーストサイクルが開始されているが、次のクロックでDSF1(CS0)がハイレベルであるため、バーストサイクルは中断され、同時に、前述のカウンタユニット300のカウンタが停止してしまうので、オートプリチャージは実行されないようになる。

【0115】そして、次のクロックでもDSF1がハイレベルであることによって、プリチャージ動作が開始される。このプリチャージ動作は、プリチャージコマンドPREの入力が不要であるため、CS0のバーストサイクル終了後、次クロックでCS1に対するカラムアドレス・リードコマンドReadの入力を可能にしており、サイクル時間を短縮している。

【0116】さらに、CS1に対するカラムアドレス・リードコマンドReadを入力して開始されたバーストサイクルが、次のクロックでDSF1(CS1)がハイレベルであるため中断され、さらに、次のサイクルでもDSF1(CS1)がハイレベルであることによって、プリチャージ動作が開始されている。このとき、CS0について、バースト動作を開始するためのロウアドレスストローブ・バンクアクティブコマンドACTが同時に入力できるようになっている。

【0117】

【発明の効果】本発明の第1の効果は、シンクロナスDRAMにおいて、オートプリチャージを使用してプリチャージ動作をする方法と比較して、無駄なサイクルが発生し難く、かつ、プリチャージコマンドを使用してプリチャージ動作をする方法と比較してメモリサイクル時間を短縮できることである。

【0118】その理由は、プリチャージ動作を行わせるための信号線1本をシンクロナスDRAMに付加し、プリチャージ動作を制御するための回路に接続する機構を採用したことにより、プリチャージの有無の判断が容易であるバーストサイクル最後にプリチャージ動作を起動でき、また、他のコマンド入力と同時にプリチャージ動作を開始することができるためである。

【0119】また、第2の効果は、バーストサイクルの中断を専用の信号線を用いて行うシンクロナスDRAM

において、バーストサイクルを中断すると使用できなくなるオートプリチャージと同様の効果を得ることができ、メモリサイクル時間を短縮できることである。

【0120】その理由は、バーストサイクルを中断するための信号線とプリチャージ動作を行わせるための信号線を共用し、その信号線1本をシンクロナスDRAMに付加し、バーストサイクルを中断するための回路とプリチャージ動作を制御するための回路に接続する機構を採用したことより、バーストサイクルの中断後に、コマンド入力を必要とせず、他のコマンド入力と同時にプリチャージ動作を開始することができるためである。

【図面の簡単な説明】

【図1】本発明のシンクロナスDRAMに使用されるカラムアドレスカウンタの第1実施例のブロック図

【図2】図1に示した実施例のタイミングチャート

【図3】本発明のシンクロナスDRAMに使用されるカラムアドレスカウンタの第2実施例のブロック図

【図4】図3に示した実施例のタイミングチャート

【図5】提案中の発明におけるカラムアドレスカウンタの一実施例のブロック図

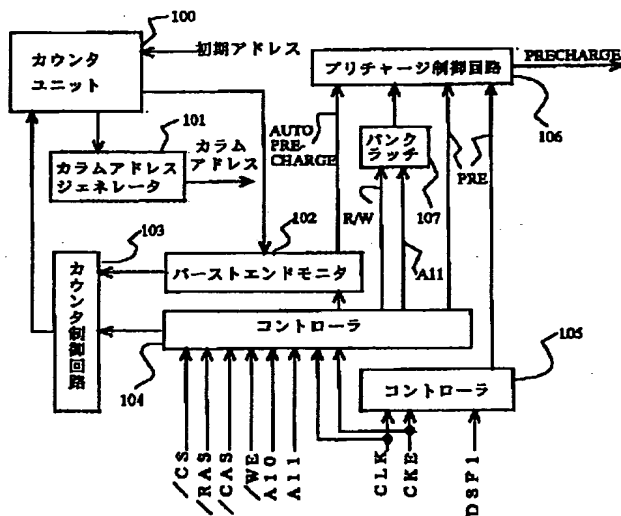
【図6】図5に示した実施例の特長を説明するためのタイミングチャート

【図7】図5に示した実施例の問題点を指定するためのタイミングチャート

【図8】一般のシンクロナスDRAMのブロック図

【図9】シンクロナスDRAMにおける従来のカラムアドレスカウンタのブロック図

【図1】



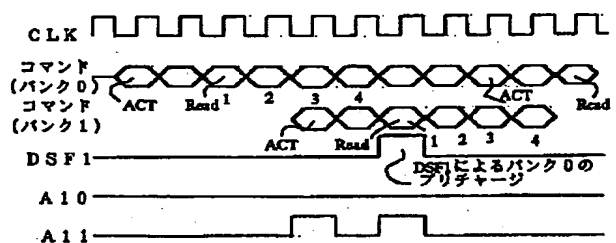
【図10】図9に示したカラムアドレスカウンタにおいてオートプリチャージ選択時バーストサイクルのタイミングチャート

【図11】図9に示したカラムアドレスカウンタにおいてオートプリチャージ非選択時バーストサイクルのタイミングチャート

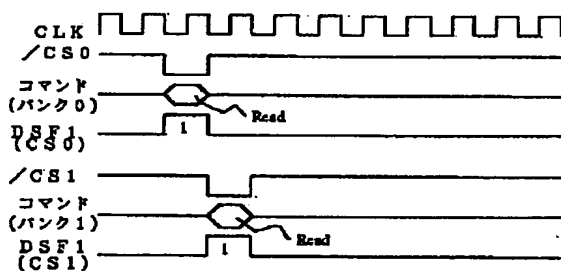
【符号の説明】

100, 300, 500, 900	カウンタユニット
101, 301, 501, 901	カラムアドレスジェネレータ
102, 302, 502, 902	バーストエンドモニタ
103, 303, 503, 903	カウンタ制御回路
104, 304, 504, 904	コントローラ
105, 305, 505	コントローラ
106, 306	プリチャージ制御回路
107, 307	バンクラッチ
308	DSF1カウンタ
800A, 800B	メモリアレイ
801A, 801B	ロウデコーダ
802A, 802B	センスアンプ・カラム選択回路
803A, 803B	カラムデコーダ
804	ロウアドレスバッファ
805	カラムアドレスバッファ
806	カラムアドレスカウンタ
807	リフレッシュカウンタ
808	入力バッファ
809	出力バッファ
810	コントローラ

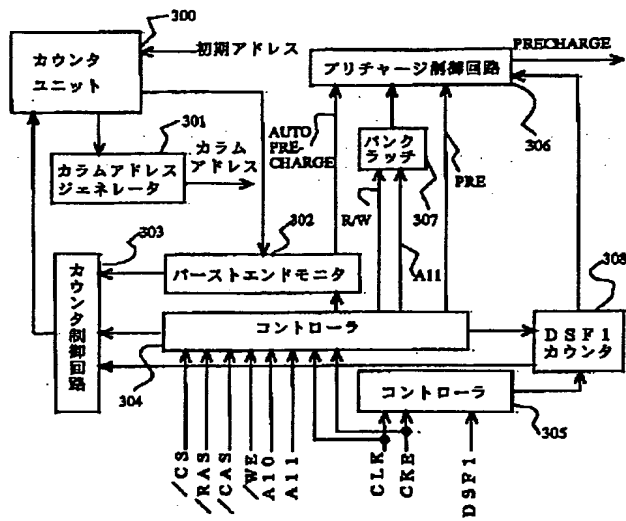
【図2】



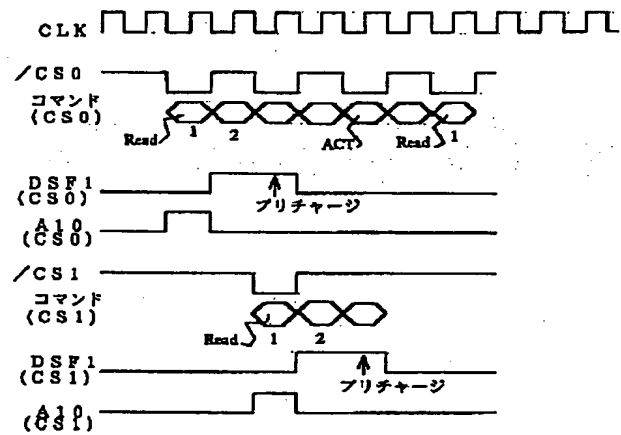
【図6】



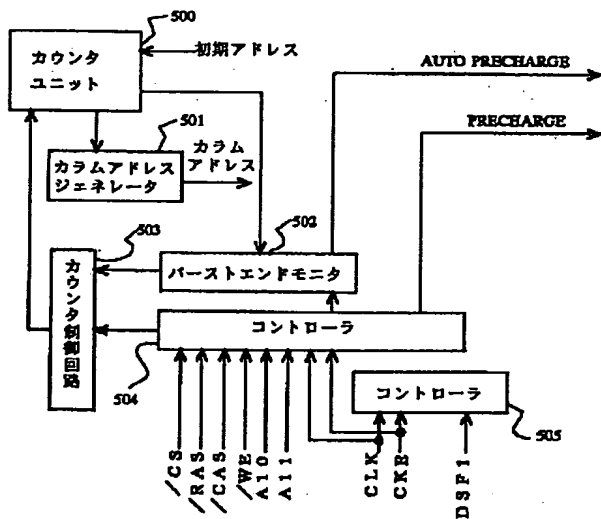
【図3】



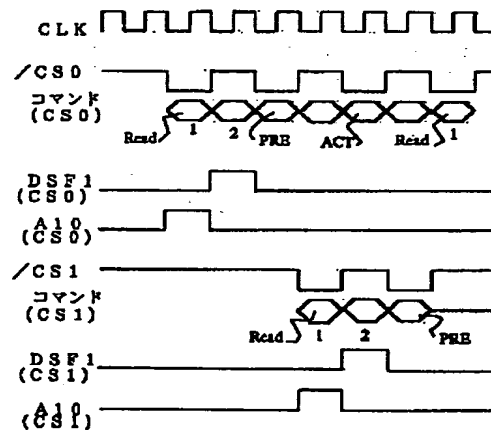
【図4】



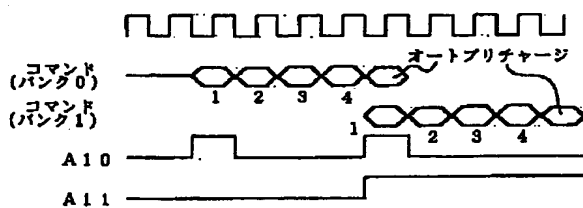
【図5】



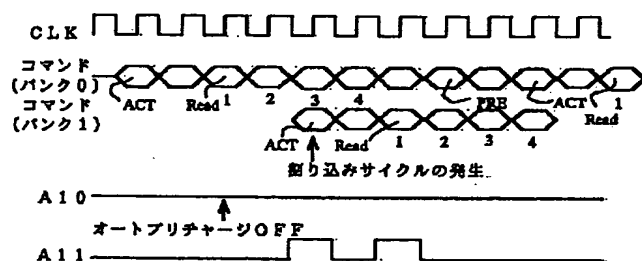
【図7】



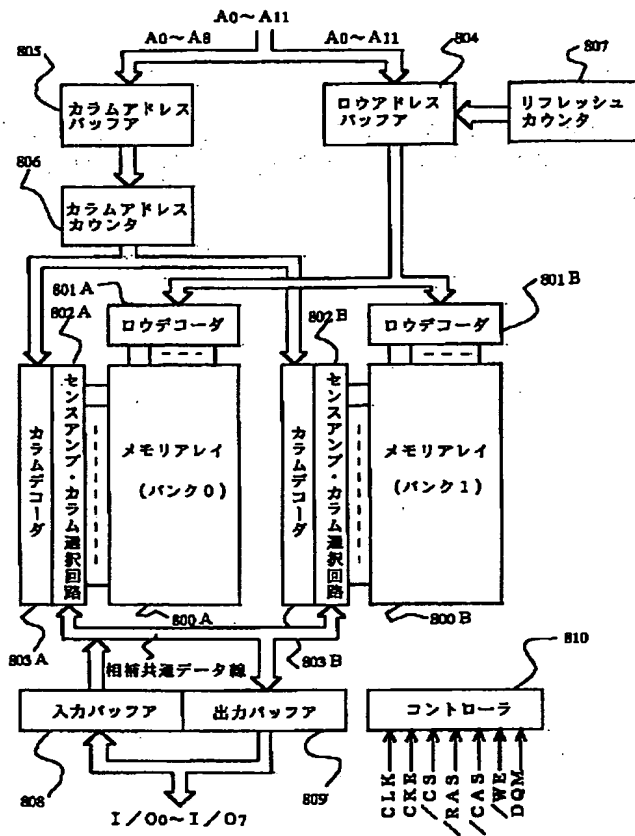
【図10】



【図11】



【図8】



【図9】

